

SECTOR PROTECTION CIRCUIT AND METHOD FOR FLASH MEMORY DEVICE

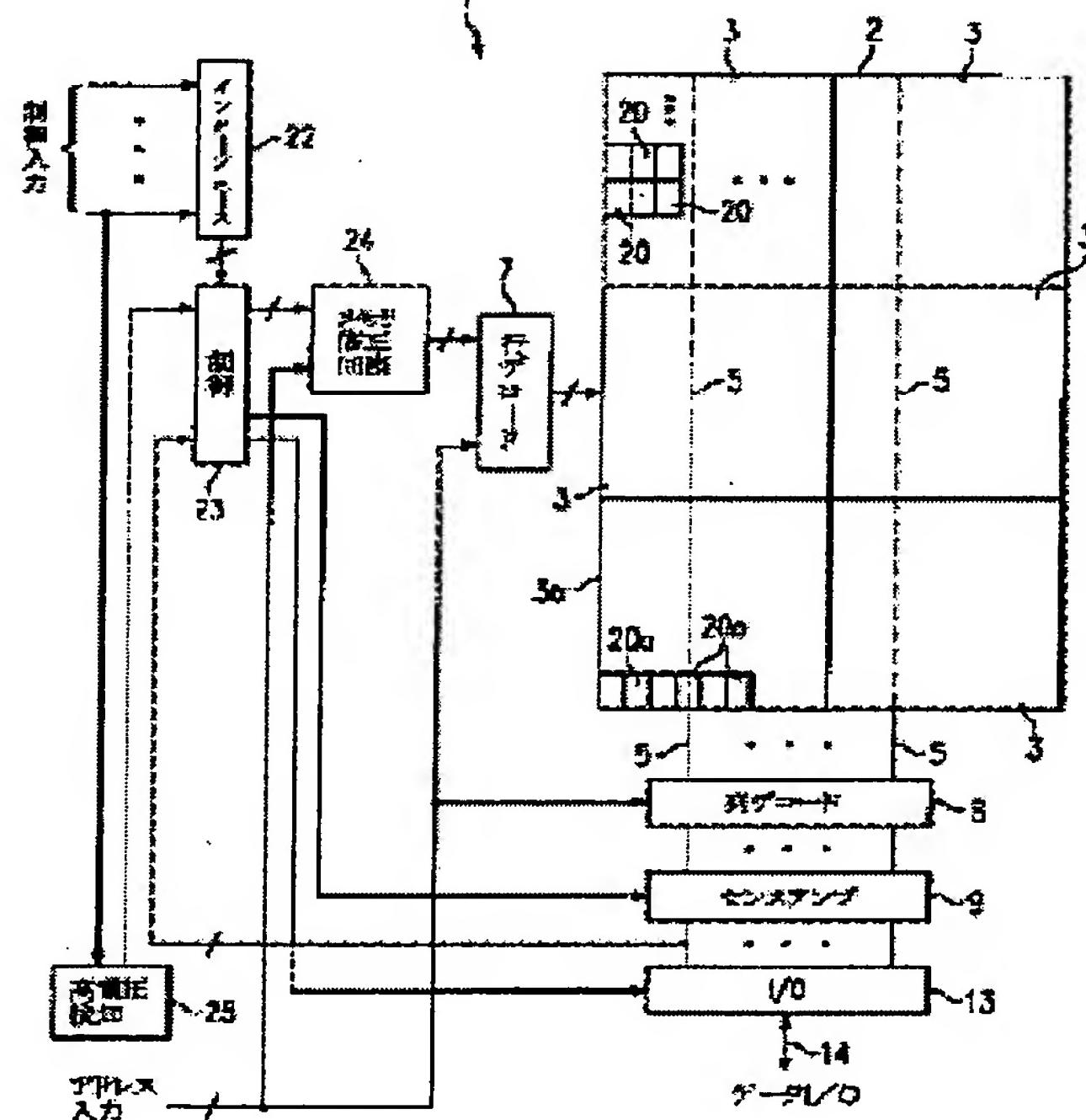
Patent number: JP2003132690
Publication date: 2003-05-09
Inventor: FASOLI LUCA GIOVANNI
Applicant: ST MICROELECTRONICS INC
Classification:
 - **international:** G11C11/56; G11C16/22; G11C11/56; G11C16/06;
 (IPC1-7): G11C16/02; H01L21/8247; H01L27/10;
 H01L27/115; H01L29/788; H01L29/792
 - **europen:** G11C11/56; G11C16/22
Application number: JP20020224398 20020801
Priority number(s): US20010922043 20010802

Also published as:
 EP1282135 (A)
 US6490197 (B)
 EP1282135 (A)

[Report a data error here](#)

Abstract of JP2003132690

PROBLEM TO BE SOLVED: To provide a nonvolatile memory device provided with a sector protection circuit. **SOLUTION:** A method and circuit for providing sector protection to sectors of nonvolatile memory cells are provided. The circuit includes maintaining sector protection information in the core of memory cells in the nonvolatile memory device. In this way, the circuit and/or algorithms utilized for reading and modifying memory cells in the memory cell core that maintain the sector protection information is the same utilized for reading and modifying the other memory cells in the core.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-132690

(P 2 0 0 3 - 1 3 2 6 9 0 A)

(43)公開日 平成15年5月9日(2003.5.9)

| (51) Int.Cl. ⁷ | 識別記号 | F I | マークコード (参考) | |
|---------------------------|------|------------|-------------|---------|
| G11C 16/02 | | H01L 27/10 | 491 | 5B025 |
| H01L 21/8247 | | G11C 17/00 | 601 | P 5F083 |
| 27/10 | 491 | H01L 27/10 | 434 | 5F101 |
| 27/115 | | 29/78 | 371 | |
| 29/788 | | G11C 17/00 | 601 | E |

審査請求 未請求 請求項の数31 ○L (全11頁) 最終頁に続く

(21)出願番号 特願2002-224398(P 2002-224398)

(71)出願人 591236448

(22) 出願日 平成14年8月1日(2002.8.1)

エスティーマイクロエレクトロニクス、イ
ンコーポレイテッド
S T M i c r o e l e c t r o n i c s ,
I n c
アメリカ合衆国, テキサス 75006,
カーロルトン, エレクトロニクス ドラ
イブ 1310
100076185
参理士 小橋 正明

(31) 優先權主張番号 09 / 922043

(32) 優先日 平成13年8月2日(2001.8.2)

(33) 優先権主張國 米国 (U.S.)

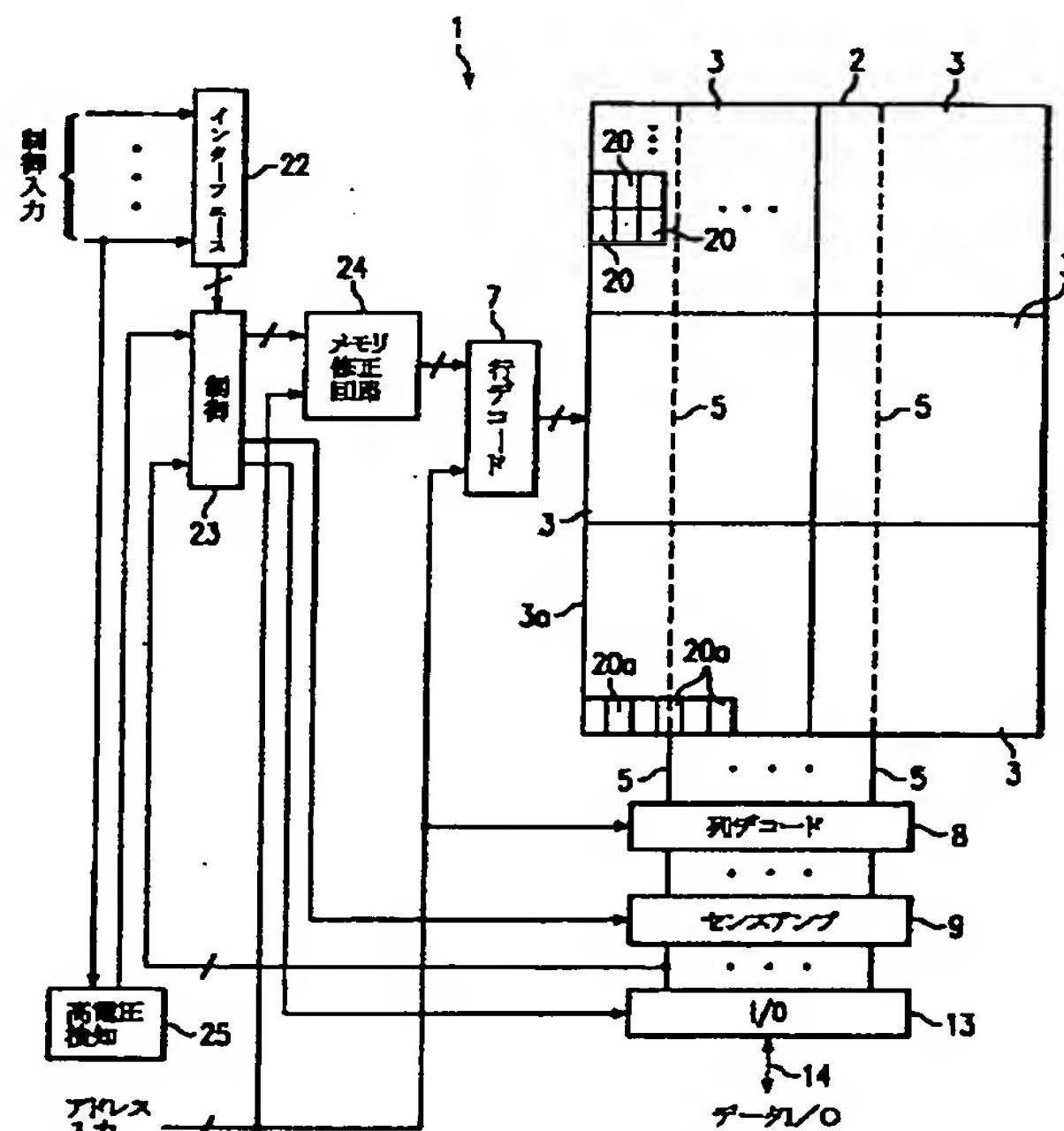
最終頁に統ぐ

(54) 【発明の名称】 フラッシュメモリ装置用セクター保護回路及び方法

(57) 【要約】

【課題】 セクター保護回路を具備する非揮発性メモリ装置を提供する。

【解決手段】 本発明によれば、非揮発性メモリ装置における非揮発性メモリセルのセクターに対してセクター保護を提供する方法及び回路が提供される。本回路は、非揮発性メモリ装置におけるメモリセルからなるコア内にセクター保護情報を維持する。このように、セクター保護情報を維持するメモリセルコア内のメモリセルの読み取り及び修正を行うために使用される回路及び／又はアルゴリズムは該コア内のその他のメモリセルの読み取り及び修正のために使用されるものと同一である。



【特許請求の範囲】

【請求項1】 非揮発性メモリ装置において、行及び列に配列されており且つ複数個のセクターのメモリセルに区画化されているメモリセルからなるアレイであって、第一セクター内のメモリセルが少なくとも1つの他のセクターが修正禁止状態にあることを表わすアレイ。

外部的に発生されたアドレスを受取り且つそれに対応してメモリセルの1つの行及び少なくとも1つの列を選択するアドレスデコード回路、

前記アドレスデコード回路及び前記メモリセルからなるアレイへ結合されており、前記第一セクターにおける少なくとも1個のメモリセルが前記少なくとも1つの他のセクターが修正禁止状態にあることを表わすことの肯定的決定により前記少なくとも1つの他のセクターにおけるメモリセルに関する要求されたメモリ修正操作の実行を選択的に阻止する制御回路、を有していることを特徴とする非揮発性メモリ装置。

【請求項2】 請求項1において、前記第一セクターにおける1組のメモリセルが任意のセクターのメモリセルが修正禁止状態にあることを表わすことが可能であることを特徴とする非揮発性メモリ装置。

【請求項3】 請求項2において、前記1組のメモリセルにおける各メモリセルが、独特のセクターのメモリセルが修正禁止状態にあるか否かを表わすための専用であることを特徴とする非揮発性メモリ装置。

【請求項4】 請求項2において、前記1組のメモリセルにおける1個のメモリセルが、前記第一セクターのメモリセルが修正禁止状態にあるか否かを表わすための専用であることを特徴とする非揮発性メモリ装置。

【請求項5】 請求項1において、前記制御回路が、前記第一セクターにおける前記少なくとも1個のメモリセルが前記少なくとも1つの他のセクターのメモリセルが修正可能であることの肯定的決定により前記少なくとも1つの他のセクターにおけるメモリセルに関する要求されたメモリ修正操作の実行を選択的に制御することを特徴とする非揮発性メモリ装置。

【請求項6】 請求項3において、前記制御回路が、前記少なくとも1つの他のセクターのメモリセルにおけるメモリセルに関する要求されたメモリ読取動作の実行を制御する場合に使用したのと同一のシーケンスの内部的に実行された動作を使用して前記第一セクターのメモリセルにおける少なくとも1個のメモリセルに関する要求されたメモリ読取動作の実行を選択的に制御することを特徴とする非揮発性メモリ装置。

【請求項7】 請求項1において、前記少なくとも1つの他のセクターにおけるメモリセルに関する要求されたメモリ修正動作を受取ると、前記制御回路が、

前記少なくとも1つのメモリセル内に格納されている少

なくとも1つのデータ値を獲得するために前記第一セクターのメモリセル内の少なくとも1つのメモリセルへアクセスし、且つ前記少なくとも1つのデータ値が前記少なくとも1つの他のセクターが修正禁止状態であるか否かを決定する、

ために前記非揮発性メモリ装置を制御することを特徴とする非揮発性メモリ装置。

【請求項8】 請求項1において、

前記第一セクターにおける1組のメモリセルが実質的に任意のセクターのメモリセルが修正禁止状態にあることを表わすことが可能であり、

前記1組のメモリセルにおけるメモリセルに関する第二の要求されたメモリ修正動作が前記非揮発性メモリ装置により受取られると、前記制御回路は、前記非揮発性メモリ装置が高電圧信号を受取ったか否かを決定し、且つその決定に基づいて前記第二の要求されたメモリ修正動作の実行を選択的に阻止する、ことを特徴とする非揮発性メモリ装置。

【請求項9】 請求項8において、前記制御回路が、高電圧信号の受取りを検知する高電圧検知回路を有していることを特徴とする非揮発性メモリ装置。

【請求項10】 請求項1において、

前記第一セクターにおける1組のメモリセルが、実質的に任意のセクターのメモリセルが修正禁止状態にあることを表わすことが可能であり、

前記1組のメモリセルにおけるメモリセルに関する第二の要求されたメモリ修正動作を前記非揮発性メモリ装置が受取ると、前記制御回路が、前記非揮発性メモリ装置が高電圧信号を受取ったか否かを決定し、且つその決定に基づいて前記第二の要求されたメモリ修正動作の実行を制御することを特徴とする非揮発性メモリ装置。

【請求項11】 請求項1において、前記非揮発性メモリ装置が内部に処理ユニットを具備している電子装置内に配設されていることを特徴とする非揮発性メモリ装置。

【請求項12】 請求項1において、

前記第一セクターにおける1組のメモリセルが実質的に任意のセクターのメモリセルが修正禁止状態にあることを表わすことが可能であり、

前記非揮発性メモリ装置は、更に、前記アレイ及び前記アドレスデコード回路へ結合されており且つ前記制御回路によって制御されるメモリ修正回路であって、前記アレイ内のメモリセルに関するメモリ修正動作を実施するために前記アドレスデコード回路及び前記制御回路と共同するメモリ修正回路を有しており、前記メモリ修正動作は前記1組のメモリセルの中にはないメモリセルに関して実施されるメモリ修正動作において使用されるのと同一のメモリ修正回路を使用して該1組のメモリセルに関して実施される、ことを特徴とする非揮発性メモリ装置。

【請求項 13】 請求項 1において、前記非揮発性メモリ装置がフラッシュメモリ装置であることを特徴とする非揮発性メモリ装置。

【請求項 14】 複数個のセクターに区画化されているメモリセルからなるアレイを具備する非揮発性メモリ装置におけるメモリセルにおいてメモリ修正動作を実施する方法において、

第一セクターにおいてメモリ修正動作を実施するための要求を受取り、

前記アレイ内の少なくとも 1 個のメモリセルをサーチし且つ前記少なくとも 1 個のメモリセルが前記第一セクターが修正禁止状態にあることを表わすか否かを決定し、前記少なくとも 1 個のメモリセルが、前記第一セクターが修正禁止状態にあることを表わすことの肯定的決定により、前記メモリ修正動作が発生することを阻止することを特徴とする方法。

【請求項 15】 請求項 14において、更に、初期的に、前記少なくとも 1 個のメモリセル内に、前記少なくとも 1 個のメモリセルが前記第一セクターが修正禁止状態にあることを表わすか否かを表わすデータ値を格納する、ことを特徴とする方法。

【請求項 16】 請求項 14において、更に、初期的に、前記非揮発性メモリ装置におけるセクターのうちのいずれかが修正禁止状態にあるか否かを表わすデータ値を前記少なくとも 1 個のメモリセルを包含する複数個の第一メモリセル内に維持する、ことを特徴とする方法。

【請求項 17】 請求項 14において、更に、前記少なくとも 1 個のメモリセルが、前記第一セクターが修正禁止状態ないことを表わす肯定的決定により、前記メモリ修正動作を実行する、ことを特徴とする方法。

【請求項 18】 請求項 14において、前記少なくとも 1 個のメモリセルが前記第一セクター内にあることを特徴とする方法。

【請求項 19】 請求項 14において、前記少なくとも 1 個のメモリセルが前記メモリ修正動作によって修正のために要求され、本方法が、更に、

前記非揮発性メモリ装置が前記メモリ修正動作を実施するために前記要求と関連する高電圧信号を受取ったか否かを決定し、且つ前記非揮発性メモリ装置が前記メモリ修正動作を実施するための要求と関連する高電圧信号を受取ったことの肯定的決定により且つ前記少なくとも 1 個のメモリセルが前記第一セクターが修正禁止状態になることを表わすことの肯定的決定により、前記要求されたメモリ修正動作を実行する、ことを包含していることを特徴とする方法。

【請求項 20】 請求項 14において、前記少なくとも 1 個のメモリセルが前記メモリ修正動作

により修正のために要求され、且つ本方法が、更に、前記非揮発性メモリ装置が前記メモリ修正動作を実施するための前記要求と関連する高電圧信号を受取ったか否かを決定し、且つ前記阻止するステップが、前記非揮発性メモリ装置が前記メモリ修正動作を実施するための前記要求と関連する高電圧信号を受取ったことの肯定的決定により前記メモリ修正動作が発生することを阻止することを包含していることを特徴とする方法。

【請求項 21】 集積回路において、
10 非揮発性メモリ装置を有しており、前記非揮発性メモリ装置は、
セクターに区画化されている非揮発性メモリセルからなるアレイであって、第一セクター内の少なくとも幾つかのメモリセルがいずれかのセクターが修正禁止状態にあるか否かを表わすデータを維持しているアレイ、
前記第一セクターにおける前記少なくとも幾つかのメモリセル内に維持されているデータ値に基づいてアドレスされたセクターにおけるメモリ修正動作が発生することを選択的に阻止する制御回路、を有していることを特徴とする集積回路。

【請求項 22】 請求項 21において、前記第一セクターにおける 1 組のメモリセルが任意のセクターのメモリセルが修正禁止状態にあることを表わすことが可能であることを特徴とする集積回路。

【請求項 23】 請求項 22において、前記 1 組のメモリセルにおける各メモリセルが、独特のセクターのメモリセルが修正禁止状態にあるか否かを表わすための専用であることを特徴とする集積回路。

【請求項 24】 請求項 22において、前記 1 組のメモリセルにおける 1 個のメモリセルが、前記第一セクターのメモリセルが修正禁止状態にあるか否かを表わすための専用であることを特徴とする集積回路。

【請求項 25】 請求項 21において、前記制御回路が、前記第一セクターにおける前記少なくとも 1 個のメモリセルが前記少なくとも 1 つの他のセクターのメモリセルが修正可能であることを表わすことの肯定的決定により前記少なくとも 1 つの他のセクターにおけるメモリセルに関する要求されたメモリ修正動作の実行を選択的に制御することを特徴とする集積回路。

【請求項 26】 請求項 21において、前記制御回路が、前記少なくとも 1 つの他のセクターのメモリセルにおけるメモリセルに関する要求されたメモリ読み取り動作の実行を制御する場合に使用したのと同一のシーケンスの内部的に実行された動作を使用して前記第一セクターのメモリセルにおける前記少なくとも 1 個のメモリセルに関する要求されたメモリ読み取り動作の実行を選択的に制御することを特徴とする集積回路。

【請求項 27】 請求項 21において、前記少なくとも 1 つの他のセクターにおけるメモリセルに関する要求されたメモリ修正動作を受取ると、前記制

御回路は、

前記少なくとも1個のメモリセル内に格納されている少なくとも1個のデータ値を獲得するために前記第一セクターのメモリセルにおける前記少なくとも1個のメモリセルへアクセスし、且つ前記少なくとも1つのデータ値が、前記少なくとも1つの他のセクターが修正禁止状態にあることを表わすか否かを決定する、ために前記集積回路を制御することを特徴とする集積回路。

【請求項28】 請求項21において、

前記第一セクターにおける1組のメモリセルが、実質的に任意のセクターのメモリセルが修正禁止状態にあることを表わすことが可能であり、

前記1組のメモリセルにおけるメモリセルに関する第二の要求されたメモリ修正動作を前記集積回路が受取ると、前記制御回路が、前記集積回路が高電圧信号を受取ったか否かを決定し、且つその決定に基づいて前記第二の要求されたメモリ修正動作の実行を選択的に阻止する、ことを特徴とする集積回路。

【請求項29】 請求項28において、前記制御回路が、高電圧信号の受取りを検知するための高電圧検知回路を有していることを特徴とする集積回路。

【請求項30】 請求項21において、

前記第一セクターにおける1組のメモリセルが、実質的に任意のセクターのメモリセルが修正禁止状態にあることを表わすことが可能であり、

前記1組のメモリセルにおけるメモリセルに関する第二の要求されたメモリ修正動作を前記集積回路が受取ると、前記制御回路が、前記集積回路が高電圧信号を受取ったか否かを決定し、且つその決定に基づいて前記第二の要求されたメモリ修正動作の実行を制御する、ことを

30

20

30

40

50

【従来の技術】最初の非揮発性メモリは電気的にプログラム可能即ち書き可能なリードオンリメモリ(EEPROM)であった。これらのメモリにおいては、メモリセルはホットキャリア効果を使用してプログラム可能な即ち書き可能なフローティングゲートトランジスタを有している。EEPROMメモリセルのプログラミングは、制御ゲートとソースとの間に高電位差(約20V、この値は所望のプログラミング速度に従って異なる)の存在下においてフローティングゲートトランジスタのドレインと

ソースとの間に電位差を印加させることを含んでいる。これらの電位差のうちの最初のものを印加すると、電界を発生し、それはチャンネル内に電子の流れを発生する。これらの電子はチャンネルの原子と衝突し、新たな自由電子を出現させる。これらの電子は非常に高いエネルギー(従って、「ホットキャリア」と呼ばれる)を有している。フローティングゲートトランジスタの制御ゲートとソースとの間における高い電位差は、フローティングゲートと基板との間に強力な電界を発生し、その効果は、これらの電子のうちのあるものがフローティングゲート内に注入され、従ってそのメモリセルを「プログラミした」即ち書込んだ状態として知られる状態とさせる。

【0003】メモリセルのプログラミングがフローティングゲートトランジスタの制御ゲートとドレインの両方へ電圧を印加せることを必要とする事実は、他のものをプログラミングすることなしに1つの特定のメモリセルをプログラムするために選択トランジスタを使用することの必要性を除いている。その結果、シリコン面積は比較的小さく且つ大規模集積化を可能とさせる。一方、該メモリのメモリセル全ての消去は、該メモリセルに対して紫外線を照射することによって実質的に同時に行われる。

【0004】EEPROMメモリセルを個別的に消去することの必要性に対処するために、電気的に消去可能なプログラム可能なリードオンリメモリ(EEPROM)が開発された。これらのメモリはトンネル効果(即ち、ファウラーノルトハイム効果)によって電気的にプログラム可能であり且つ消去可能である。該メモリセルはそのドレインが選択トランジスタによってピット線へ接続されているフローティングゲートトランジスタを有している。該選択トランジスタのゲートはワード線へ接続している。フローティングゲートトランジスタのゲートはバイアストランジスタによって制御される。通常、フローティングゲートトランジスタのソースは接地等の基準電位へ接続される。これらのフローティングゲートトランジスタは基板とフローティングゲートとの間に酸化物層を有しており、それはトンネル効果によって電荷の転送を可能とさせるために非常に薄いものである。EEPROMと比較してEEPROMの利点は、他のEEPROMセルとは独立的に各メモリセルをプログラムすることが

【請求項31】 電子装置において、

処理ユニット、

前記処理ユニットへ結合されている非揮発性メモリ装置、を有しており、前記非揮発性メモリ装置が、セクターに区画化されている非揮発性メモリセルからなるアレイであって、第一セクター内の少なくとも幾つかのメモリセルが任意のセクターが修正禁止状態にあるか否かを表わすデータを維持しているアレイ、及び前記第一セクターにおける少なくとも幾つかのメモリセル内に維持されているデータ値に基づいてアドレスされたセクターにおけるメモリ修正動作が発生することを選択的に阻止する制御回路、を有していることを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は非揮発性メモリ装置に関するものであって、更に詳細には、セクター保護回路を具備する非揮発性メモリ装置に関するものである。

【0002】

可能であり且つ消去することが可能であるという点である。この場合のトレードオフ即ち利益衡量は、より大きなシリコンの表面積が必要とされ、従って、達成される集積度がより低いということである。

【0005】第三のタイプのメモリは最近ポピュラーなものとなっている。このタイプのメモリ、即ちフラッシュE PROMは、E PROMの比較的高い集積度をE E PROMのプログラミング及び消去の容易性と結合させている。フラッシュメモリセルは、E PROMセルがプログラムされるのと同一の様でホットキャリア効果を使用して個別的にプログラムすることが可能である。フラッシュメモリセルは、又、トンネル効果によって電気的に消去することが可能である。フラッシュE PROMメモリのメモリセルは、酸化物層を具備するフローティングゲートトランジスタを有しており、該酸化物層の厚さはE E PROMフローティングゲートトランジスタの酸化物層の厚さよりも一層大きいが、E PROMフローティングゲートトランジスタの酸化物層の厚さよりも小さい。従って、フラッシュメモリセルはトンネル効果による消去を行うことが可能である。消去の場合には、フローティングゲートトランジスタの制御ゲートとソースとの間に高度に負の電位差を発生させ、ドレインを高インピーダンス状態に維持し又は接地電位へ接続し、従ってフローティングゲートから電子を除去する傾向の高い電界が形成される。

【0006】図1を参照すると、フラッシュE PROM装置（以後、フラッシュメモリ装置と呼称する）は、典型的に、フラッシュメモリセルを行及び列の形態に配列したフラッシュメモリセルからなる少なくとも1個のアレイAを有している。アレイAは、典型的に、ブロックBに区画化されており、その各々は、更に、セクターSに分割されている。行デコーダーR及び列デコーダーCを使用して、フラッシュメモリ装置へ印加された外部的に発生されたアドレスの値に基づいて1つの行及び少なくとも1列のメモリセルを選択する。センスアンプSAが該列のメモリセルに対応する列線へ結合されて、アドレスされたフラッシュメモリセル内に格納されているデータ値に対応するアドレスされた列線上の電圧レベルを増幅させる。アレイA、行及び列デコーダー及びセンスアンプSAの特定の実現例は当該技術分野において公知であり且つその詳細な説明は割愛する。

【0007】フラッシュメモリ装置を包含する従来の非揮発性メモリ装置は、典型的に、非揮発性メモリ装置における1つ又はそれ以上のセクターがリードオンリであるように何等かのタイプの修正保護即ち修正禁止状態を提供する。1つの従来の実現例においては、フラッシュメモリ装置に対するセクター保護は、該非揮発性メモリ装置外部のソフトウェア及び揮発性回路を使用して行われる。別の従来の実現例においては、セクター保護は、非揮発性回路内のフラッシュメモリ装置において行わ

れる。この実現例においては、フラッシュメモリ装置は、識別されたセクター内のデータの修正を阻止するためのセクター保護回路を有している。

【0008】図1を参照すると、セクター保護回路は、修正保護即ち修正禁止状態とされるべきセクターSを識別する情報を格納するために、フラッシュメモリ装置の周辺部においてアレイAに隣接して配設されている非揮発性二次的記憶（格納）要素を有している。コマンドユーザインターフェースUがユーザが発生したメモリアクセス動作コマンドを受取り且つ該ユーザが発生したコマンドの実行を実行するため及び／又は管理するためにフラッシュメモリ装置内の回路へコマンド情報を送給する。

【0009】既存のフラッシュメモリ装置は、更に、該二次的記憶（格納）要素の読み出し、プログラミング（書き込み）及び消去を行うためのアクセス回路を有している。制御器が、通常、アレイA内のメモリセルのメモリ読み出し及びメモリ修正動作を管理する。ユーザが要求したメモリ修正動作の管理／制御の前に、該制御器は二次的記憶要素からのセクター保護情報及びコマンドユーザインターフェースUからのユーザコマンド情報を受取り、且つユーザが要求したメモリ修正動作によって修正されるべきフラッシュメモリセルが修正禁止状態にあるセクターS内にあるか否かを決定する。修正されるべきフラッシュメモリセルが修正禁止状態にあるセクターS内にあることの肯定的決定がなされると、該制御器は該メモリ修正動作を実施することを阻止する。そうでない場合には、該制御器はユーザが要求したメモリ修正動作を実行するためにフラッシュメモリ装置内の種々のコンポーネント／ブロックを制御する。

【0010】フラッシュメモリ装置内に上述したセクター保護回路を有する1つの欠点は、二次的記憶要素によって維持される情報を修正するためにむしろ複雑なアルゴリズムが必要とされるということである。この複雑なアルゴリズムは、既存のフラッシュメモリ装置においてより複雑な回路を使用する結果となる。

【0011】前述したことに基づいて、フラッシュメモリ等の非揮発性メモリ装置内にセクター保護をより容易に提供することの必要性が存在している。

【0012】

【発明が解決しようとする課題】本発明は、以上の点に鑑みられたものであって、上述した如き従来技術の欠点を解消し、フラッシュメモリ等の非揮発性メモリ装置内においてセクター保護を提供する改良した技術を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の実施例は、従来のフラッシュメモリ装置における欠点を解消しており且つセクター保護を提供するためのより簡単な技術を具備する非揮発性メモリ装置に対する必要性を満足させてい

る。本発明の実施例においては、セクター保護情報が非揮発性メモリセルのコアにおける1組のメモリセル内に維持される。非揮発性メモリセルにおける制御回路が、その組における1個のメモリセルが、アドレスされたセクターが修正保護即ち修正禁止状態にあることを肯定的に判別することにより、アドレスされたセクターにおけるメモリ修正動作を実施することを選択的に阻止する。メモリセルからなるコア内にセクター保護情報を設けることにより、セクター保護情報を包含する1組のメモリセルを読み取り且つ修正するために使用される回路は、該メモリセルコアにおけるその他のメモリセルを読み取り且つ修正するために使用されるのと同一の回路である。

【0014】

【発明の実施の形態】本発明を、本発明の例示的実施例が示されている添付の図面を参照して以下により詳細に説明する。然しながら、本発明は、多くの異なる形態で実現することが可能なものであり且つ本明細書に記載する実施例に制限されるものとして解釈されるべきものではない。むしろ、該実施例は、本明細書の開示が完全なものであり、且つ当業者に対して容易に実施することを可能とするために提供されているものである。

【0015】図2を参照すると、本発明の例示的実施例に基づく非揮発性メモリ装置1が示されている。非揮発性メモリ装置1は、事実上、任意のタイプの非揮発性メモリ装置とすることが可能であるが、非揮発性メモリ装置1は説明の便宜上以下においてフラッシュメモリ装置として説明する。

【0016】フラッシュメモリ装置1はメモリセル20からなるコア即ちアレイ2を有している。メモリセル20からなるアレイ2は、メモリセル20の行及び列の形態に配列させることができある。本発明の例示的実施例によれば、アレイ2はメモリセル20からなるセクター30に区画化されている。アレイ2は、図2においては、メモリセル20からなる6個のセクター3に分割されている状態を示しているが、アレイ2は異なる数のセクター3に分割することが可能であることを理解すべきである。

【0017】図2においては、アレイ2は、説明の便宜上比較的少ない数のメモリセル20が設けられているものとして示されている。理解すべきことであるが、アレイ2は、前述したように、メモリセル20の行及び列の形態に配列して実質的に全体にメモリセル20が設けられている。

【0018】セクター3内のメモリセル20の各列におけるメモリセル20は、個別的な列線5へ接続させることができます。且つセクター3内のメモリセル20の各行内のメモリセル20は個別の行線へ接続させることができます。列線5は、アレイ2の周辺部へ選択した局所的な列線を与えるためにメインの列線(図2には示していない)へ結合されている局所的な列線とすること

が可能である。フラッシュメモリにおいて局所的及びメインの列線を使用することは公知であり、且つその詳細な説明は割愛する。

【0019】フラッシュメモリ装置1は、更に、行デコード回路7を有することが可能であり、それは外部的に発生されたアドレスまたはその一部を受取り且つセクター3内のメモリセル20からなる1つの行を選択及び/又は活性化させる。特に、外部的に発生したアドレスに対応するメモリセル20からなる行は列線5へ接続されることによって選択及び/又は活性化される。行デコード回路7は、例えば、外部的に発生されたアドレスを受取ることに応答して、該外部的に発生されたアドレスに対応する単一の行線をその行内の各メモリセルを活性化するために第一電圧レベルへ駆動し、一方その他の行線をその他の行内におけるメモリセル20を不活性化状態とさせるために別の電圧レベルへ駆動する論理を有することが可能である。行デコード回路7は、当該技術分野において公知の如く、プール論理ゲートで実現することが可能である。

【0020】更に、フラッシュメモリ装置1は、列デコード回路8を有することが可能であり、それは外部的に発生されたアドレスを受取り且つその外部的に発生されたアドレスに対応する1個又はそれ以上の列線5を選択する。列デコード回路8は、例えば、アレイ2内の各列線5へ接続されているマルチプレクス回路として実現することが可能である。

【0021】メモリ読取動作期間中、アドレスされたメモリセル20はそれに対応する列線5へ接続される。典型的に、アドレスされたメモリセル20のそれらの対応する列線5への接続は、列線5を2つ又はそれ以上の電圧レベルのうちの1つとさせる。フラッシュメモリ装置1はセンサーアンプ9を有することが可能であり、それはアドレスされたメモリセル20内に格納されているデータに対応する列線5上の電圧レベルを検知し且つセンサーアンプ出力信号をアレイ2外部の回路によってより容易に解釈されるか又はその他の態様で処理される電圧レベルへ駆動する。

【0022】フラッシュメモリ装置1はデータ入力/出力(I/O)回路13を有することが可能であり、それは、通常、アドレスされたメモリセル20をフラッシュメモリ装置1の外部I/Oデータピン14へ結合させる。図2に示したように、データI/O回路13はセンサーアンプ9へ接続される。

【0023】フラッシュメモリ装置1は、又、一般的な意味において、フラッシュメモリ装置1外部の装置とのインターフェースを与えるためのインターフェース回路22を有することが可能である。インターフェース回路22は、例えばメモリアクセス動作を実施するためのコマンド/要求等の外部装置からのコマンドを受取り且つそのコマンド情報をフラッシュメモリ装置1内部の回路

へ提供する。インターフェース回路22は、例えば、ユニバーサル又はスタンダードのコマンドセットに従ってメモリアクセス動作を受取り且つ解釈することが可能である。

【0024】フラッシュメモリ装置1は制御回路23を有しており、それは、通常、フラッシュメモリ装置1の種々のコンポーネント（行デコード回路7、列デコード回路8、センスアンプ9、データI/O回路13等）を制御して要求されたメモリ修正動作を実施する。制御回路23は、例えば、インターフェース回路22からコマンド情報を受取り且つそれに応答して要求されたメモリ修正動作の実行の制御／管理を行うことが可能である。

【0025】メモリプログラム動作又はメモリ消去動作を実施する場合に、メモリ讀取動作を実行するためには通常必要ではない付加的なタスクが必要である。例えば、メモリプログラム動作を実行することは、アドレスされたメモリセルをプログラミングするタスクのみならず、プログラムされたデータ値を検証するためのタスクも包含している。メモリ消去動作は、アドレスされたセクター3内の各メモリセル20を並列的に消去し、それに続いて各消去したメモリセル20の内容の逐次的な検証、及び消去したメモリセル20の所望の組の電流一電圧動作特性を維持するために各消去したメモリセル20の逐次的な「ソフト」プログラミングを行うためのタスクを包含している。従って、フラッシュメモリ装置1は、メモリ修正動作におけるタスクの全てを実行する場合に行デコード回路7、列デコード回路8、センスアンプ9と共同するためのメモリ修正回路24を有している。メモリ修正回路24は信号を受取り且つ制御回路23によって制御することが可能である。メモリ修正回路24のアドレス出力は、アドレスカウンタ回路によって発生させ且つ要求されたメモリ修正動作期間中に使用するために行デコード回路7及び列デコード回路8へ印加される。

【0026】上述したように、既存のフラッシュメモリ装置におけるセクター保護情報はメモリセルコアとは別個の記憶（格納）要素内に記憶即ち格納される。更に、既存のフラッシュメモリ構成は、記憶要素をプログラミングするためのむしろ複雑な回路を有している。本発明の例示的実施例においては、その代わりに、セクター保護情報がアレイ2のメモリセル20内に格納される。

【0027】特に、セクター3aにおける1組のメモリセル20aは、アレイ2における任意のセクター3に対するセクター保護情報を維持するための専用である。該1組における各メモリセル20aは、独特の即ち別個のセクター3に対するセクター保護情報を維持するために専用のものとすることが可能である。例えば、バイレベルフラッシュメモリにおいては、メモリセル20a内に高論理データ値を維持することは、それに対応するセクター3が修正禁止状態にはないことを表わすことが可能

であり、且つ低論理データ値はそれに対応するセクター3が修正保護即ち修正禁止状態にあることを表わすことが可能である。マルチレベルフラッシュメモリにおいては、多数のセクター3に対するセクター保護情報を单一のメモリセル20a内に維持することが可能である。

【0028】セクター3aはそれ自身修正保護即ち修正禁止状態とすることが可能であることを理解すべきである。該1組のメモリセル20aにおける1個のメモリセル20aは、セクター3aに対するセクター保護情報を供給するために専用のものとすることが可能であり、従って、このようなセクター3aが修正保護即ち修正禁止状態にあることを表わすことが可能である。セクター3aはその他のセクター3よりもより小さなものとすることが可能であり、且つ例えば製造コード情報、テスト情報等を包含する一度プログラム可能（OTP）なデータを記憶即ち格納するメモリセル20を有することが可能である。セクター3aにおけるプログラム／消去用メモリセル20a及び／又は任意のメモリセルは、更に、以下に詳細に説明するように、その他のセクター3におけるプログラム／消去用メモリセル20においては不必要な付加的なタスクが行われることを必要とする場合がある。

【0029】アレイ2内にセクター保護情報を維持することにより、メモリセル20aを読取るための同一の回路及びタスクがアレイ2におけるその他のメモリセル20を読取る場合に使用される。更に、メモリセル20aを修正するための同一の回路及びタスクがアレイ2内のその他のメモリセル20を修正する場合に使用される。その結果、メモリアクセス動作を実行する場合においての回路の量及びフラッシュメモリ装置1内において実施されるタスクの複雑性は減少される。

【0030】フラッシュメモリ装置は、フラッシュメモリ装置1の入力制御信号へ結合された入力と出力信号とを持っている高電圧検知回路25を有することが可能である。高電圧検知回路25は入力制御信号上に表われる高電圧（即ち、フラッシュメモリ装置1に対する動作用供給電圧より高い電圧）の存在を検知することが可能である。入力制御信号上に表われる高電圧を検知すると、高電圧検知回路25は、例えば、その出力信号を活性化させることができある。高電圧検知回路25は、以下に説明するように、メモリセル20aの内容を修正しようとする試みにおいて付加的なセキュリティを提供することが可能である。然しながら、理解すべきことであるが、メモリセル20aの内容を修正する場合に付加的なセキュリティを提供するためのその他の回路を使用することも可能である。

【0031】フラッシュメモリ装置1におけるメモリセルに関するメモリ修正（プログラム（書き込み）又は消去）動作を図3を参照して説明する。初期的に、メモリセル20aは、既に、セクター3に関するセクター保護情報

を維持しているものと仮定する。フラッシュメモリ装置1がステップ300においてメモリ修正動作を実施するための要求を受取る。これは、外部供給源から入力制御及びアドレス信号を受取り且つ制御回路23へメモリ修正動作に関する情報を供給するインターフェース回路22を包含する場合がある。次に、制御回路23が、ステップ301において、修正すべきメモリセルを具備する特定のセクター3を表わすことが可能である。制御回路23は、次いで、ステップ302において少なくとも幾つかのメモリセル20a内に格納されているデータを読み取り且つその読み取ったデータを制御回路23へ供給するために、行デコード回路7、列デコード回路8、センスアンプ9を制御又は開始させることが可能である。この点において、制御回路23は、ステップ303において、ステップ301において表示されたセクター3が、識別されたセクター3に対応するメモリセル20aから読み取ったデータ値に基づいて、修正保護即ち修正禁止状態にあるか否かを決定する。制御回路23が、識別されたセクター3が修正保護即ち修正禁止状態にあることを決定する場合には、制御回路23は要求されたメモリ修正動作の実行を行わせることはない。

【0032】制御回路23が、識別されたセクター3が修正保護即ち修正禁止状態にないものであり且つ修正されるべきメモリセルがメモリセル20a（即ち、セクター保護情報を具備するメモリセル）ではないことを決定する場合には、制御回路23は、ステップ304において、要求されたメモリ修正動作を実行するために、メモリ修正回路24、行デコード回路7、列デコード回路8、センスアンプ9を制御する。

【0033】制御回路23が、識別されたセクター3が、修正保護即ち修正禁止状態にないが、修正されるべきメモリセルがメモリセル20aであることを決定する場合には、制御回路23は、ステップ305において、メモリ修正動作に対する要求を受取った時間のころに高電圧検知回路25の入力において受取られた入力信号上に表われる高電圧を高電圧検知回路25が検知したか否かを決定する。高電圧検知回路25が高電圧信号を検知したことを決定すると、制御回路23は、ステップ305において、メモリ修正回路24、行デコード回路7、列デコード回路8、センスアンプ9を制御して、ステップ304において要求されたメモリ修正動作を実行する。然しながら、高電圧検知回路25が、メモリ修正動作に対する要求が受取られた時間の頃にその入力信号上に表われる高電圧を検知しなかった場合には、制御回路23は要求されたメモリ修正動作の実行を行わせること

はない。

【0034】理解すべきことであるが、上述し且つ図3に示したステップの順番は本発明の例示的実施例にとって臨界的なものではない。むしろ、上述したステップの順番は異なるものとすることが可能であり、尚且つ、本発明の例示的実施例に従ってメモリ修正動作に対する要求に対して適切な応答を提供することが可能である。

【0035】理解すべきことであるが、フラッシュメモリ装置1は、非揮発性メモリを必要とする多数の装置のうちのいずれかにおいて使用することが可能である。例えば、フラッシュメモリ装置1は、フラッシュメモリ装置1内に記憶即ち格納されているデータへアクセスする処理ユニット102を具備する電子システム100（図4）内に位置させることができる。システム100は、例えば、コンピュータ及び／又はデータ処理装置、又は無線電話等のテレコミュニケーション装置とすることが可能である。

【0036】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】既存のフラッシュメモリ装置を示した概略ブロック図。

【図2】本発明の例示的実施例に基づく非揮発性メモリ装置を示した概略ブロック図。

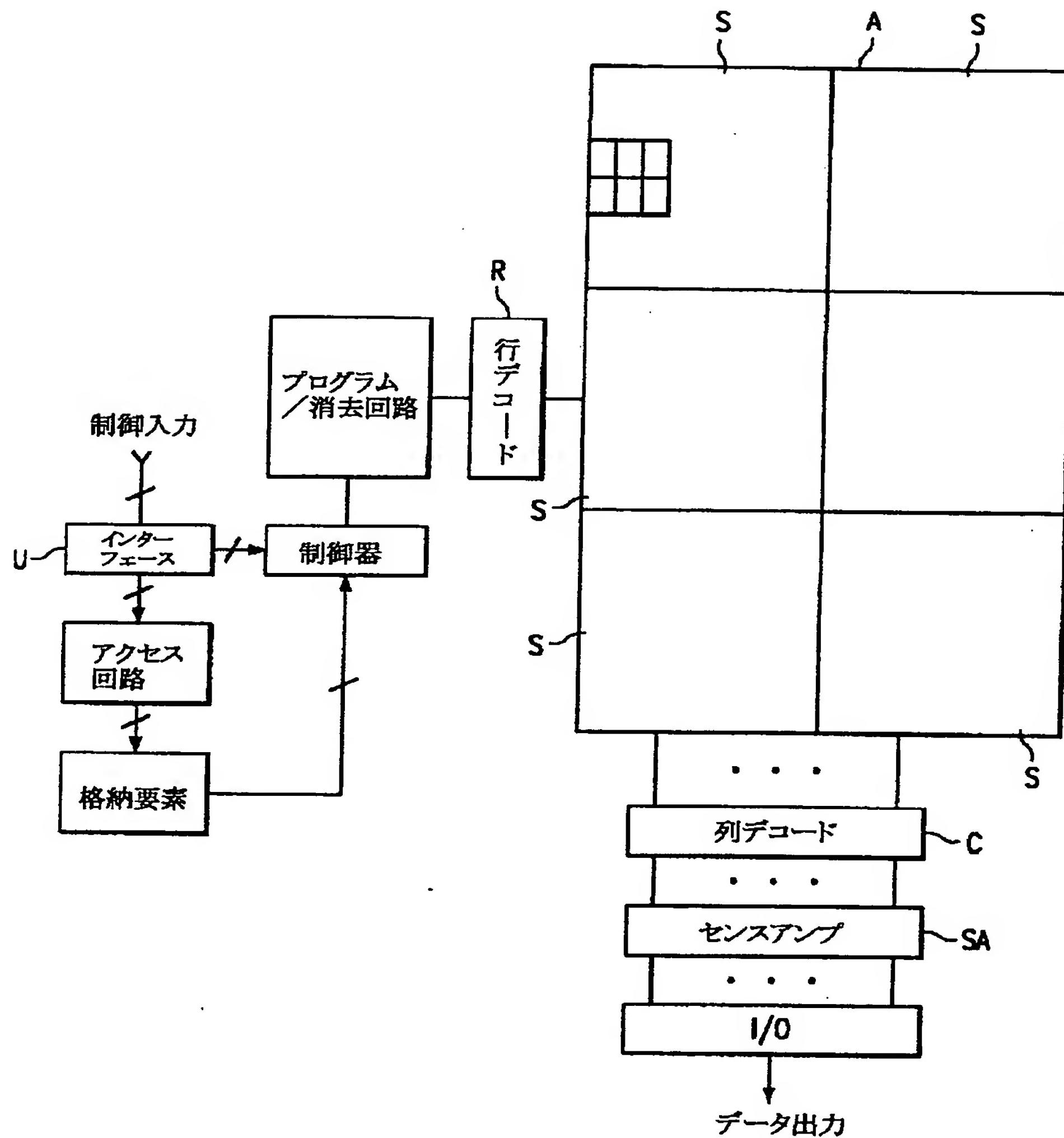
【図3】図2の非揮発性メモリ装置の動作を例示したフローチャート。

【図4】図1の非揮発性メモリ装置を具備する電子装置を示した概略ブロック図。

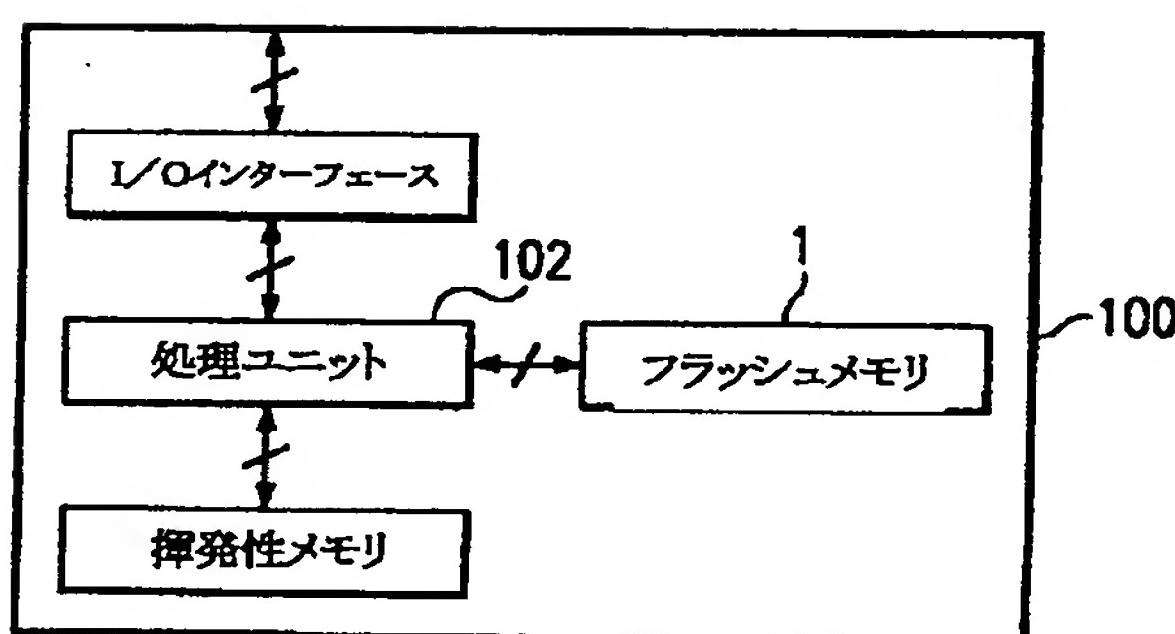
【符号の説明】

- 1 フラッシュメモリ装置
- 2 コア（アレイ）
- 3 セクター
- 5 列線
- 7 行デコード回路
- 8 列デコード回路
- 9 センスアンプ
- 13 データ入力／出力（I/O）回路
- 14 I/Oデータピン
- 20 メモリセル
- 22 インターフェース回路
- 25 高電圧検知回路

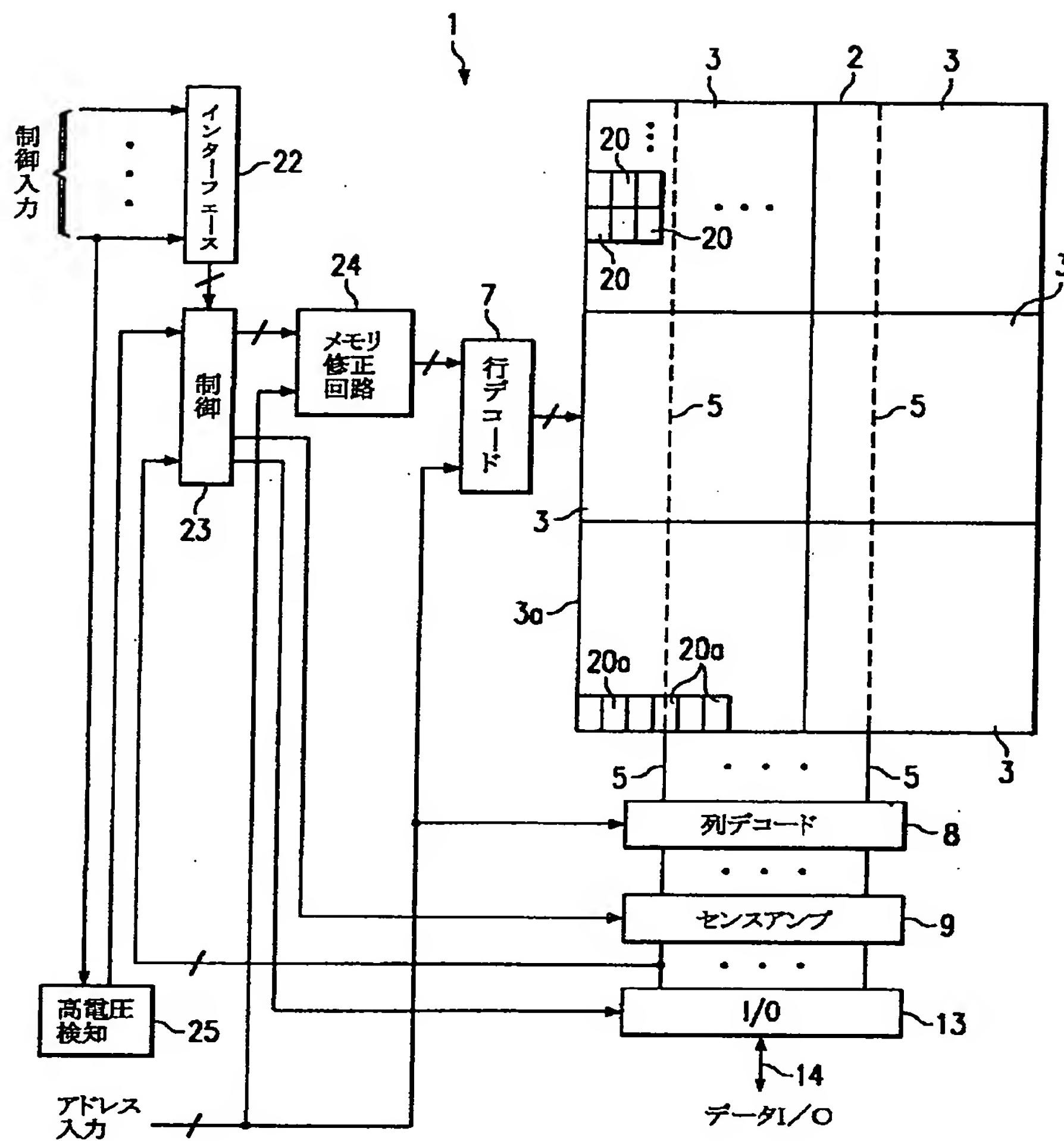
【図 1】



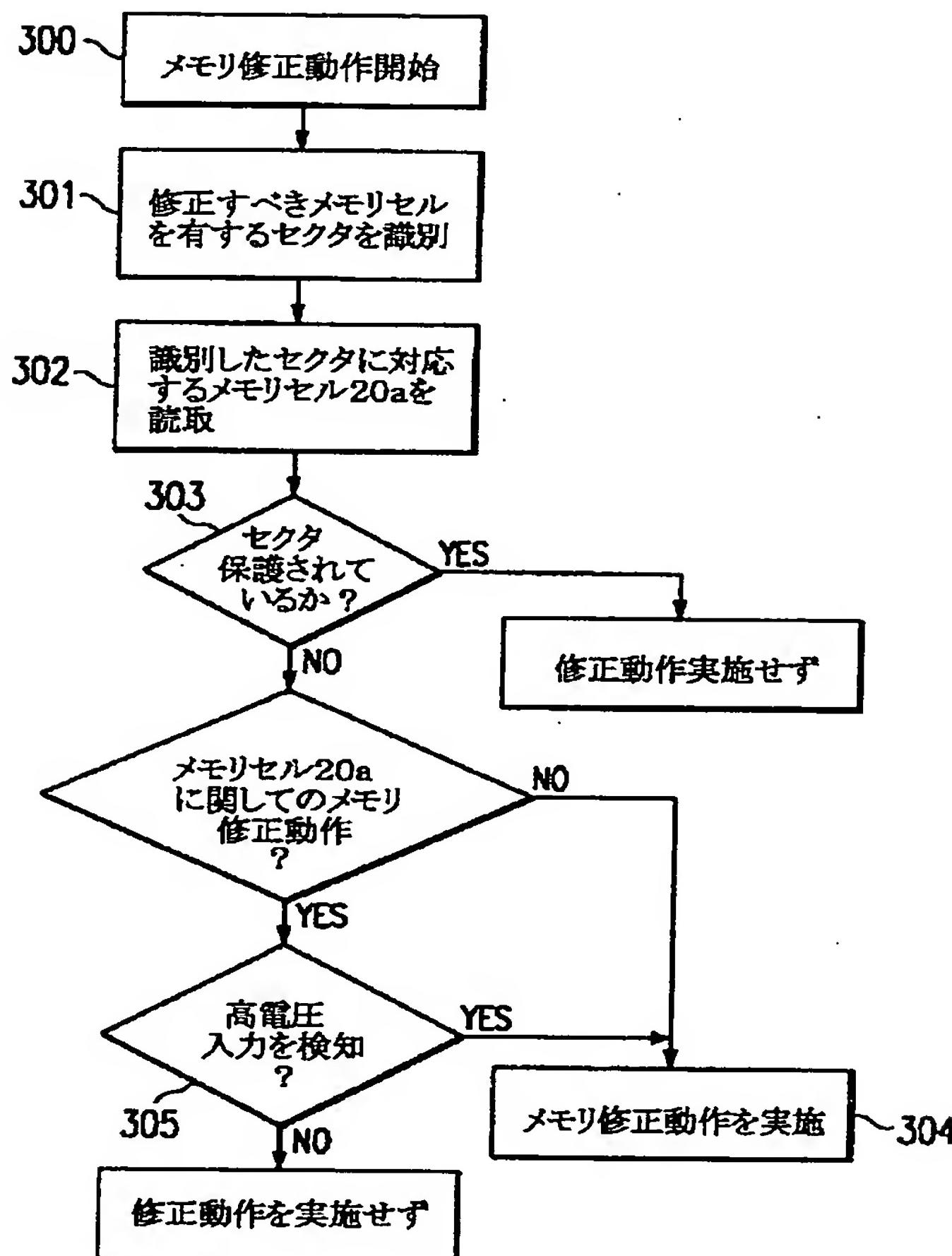
【図 4】



【図 2】



【図3】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テーマコード(参考)

H 01 L 29/792

(72) 発明者 ルカ ジオバッニ ファソリ
 アメリカ合衆国、 カリフォルニア
 94536, フレモント, セコイア テラ
 ス 37250, ナンバー 2035

F ターム(参考) 5B025 AA01 AD14 AE10
 5F083 EP02 EP22 EP32 ER01 ER03
 ER14 ER22 GA14 LA03 LA04
 LA05 LA10
 5F101 BA01 BB02 BC01 BD22 BE01
 BE07 BE17